

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-036158

(43)Date of publication of application : 07.02.1997

(51)Int.Cl. H01L 21/60
H01L 21/60
H01L 23/50

(21)Application number : 07-184178

(71)Applicant : ROHM CO LTD

(22)Date of filing : 20.07.1995

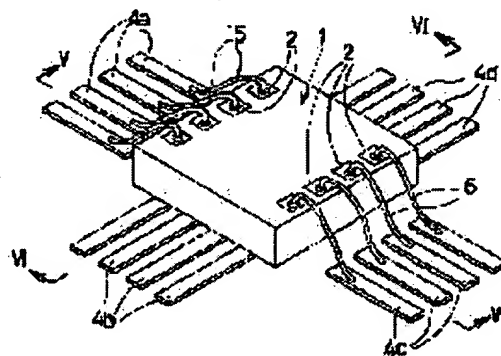
(72)Inventor : AKIYAMA MASAYOSHI
OSHITA HIROSHI

(54) STRUCTURE OF PACKAGE-TYPE SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a semiconductor device composed of a semiconductor chip equipped with circuit elements formed on each its side, lead terminals extending towards the semiconductor chip, and a molded part which packages these component parts to be lessened in size, weight, and cost.

SOLUTION: The tips of some of lead terminals are projected towards a semiconductor chip, electrically connected, and fixed to various circuit elements located on the lower side of the semiconductor chip through the intermediary of bump electrodes, and the tips of the residual lead terminals are electrically connected to various circuit elements located on the upper side of the semiconductor chip with fine metal wires 5 and 6.



LEGAL STATUS

[Date of request for examination] 07.12.2001

[Date of sending the examiner's decision of rejection] 30.03.2004

[Kind of final disposal of application other than the examiner's
decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of
rejection]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-36158

(43) 公開日 平成9年(1997)2月7日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 0 1		H 0 1 L 21/60	3 0 1 B C1, F4
	3 1 1			3 0 1 N C1, F4
23/50			23/50	3 1 1 Q
				Y
				X
審査請求 未請求 請求項の数 1 O L (全 5 頁)				

(21) 出願番号 特願平7-184178

(22) 出願日 平成7年(1995)7月20日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 秋山 政由

京都市右京区西院溝崎町21番地 ローム株式会社内

(72) 発明者 大下 博史

京都市右京区西院溝崎町21番地 ローム株式会社内

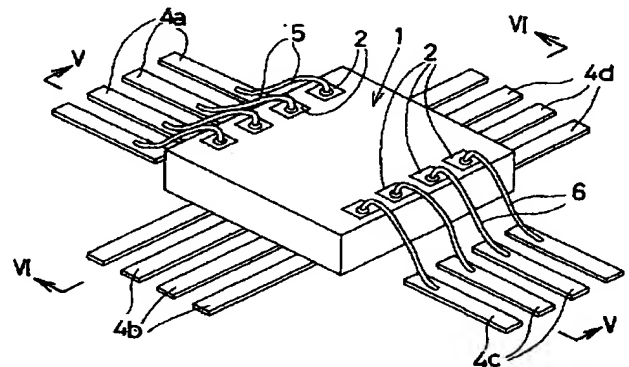
(74) 代理人 弁理士 石井 暁夫 (外2名)

(54) 【発明の名称】 パッケージ型半導体装置の構造

(57) 【要約】

【目的】 上下両面回路素子を形成した半導体チップ1と、この半導体チップに向かって延びる複数本のリード端子4a, 4b, 4c, 4dと、これらをパッケージするモールド部7とから成る半導体装置において、その小型・軽量化と、低コスト化とを図る。

【構成】 前記各リード端子のうち一部のリード端子における先端を、半導体チップ側に突出して、この一部のリード端子の先端に、半導体チップを、その下面における各種の回路素子をバンプ電極3を介して電氣的に接続するように固着する一方、前記半導体チップの上面における各種の回路素子に対するパッド電極と、前記その他のリード端子の先端との間を細い金属線5, 6にて電氣的に接続する。



1

【特許請求の範囲】

【請求項1】上面及び下面の両方に回路素子を形成した半導体チップと、この半導体チップに向かって延びる複数本のリード端子と、前記半導体チップの全体及び前記各リード端子の一部とをパッケージする合成樹脂製のモールド部とから成る半導体装置において、前記複数本のリード端子のうち一部のリード端子における先端を、その他残りのリード端子における先端よりも更に半導体チップ側に突出して、この一部のリード端子の先端に、前記半導体チップを、当該半導体チップの下面における各種の回路素子をバンパ電極を介して電氣的に接続するように固着する一方、前記半導体チップの上面における各種の回路素子に対するパッド電極と、前記その他残りのリード端子の先端との間を細い金属線にて電氣的に接続したことを特徴とするパッケージ型半導体装置の構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体素子の部分を、合成樹脂製のモールド部にてパッケージして成る半導体装置の構造に関するものである。

【0002】

【従来の技術】従来、この種のパッケージ型半導体装置は、上面に各種の回路素子を形成した半導体チップを、リードフレームにおけるタブの上面にダイボンディングし、この半導体チップの上面における各種の回路素子に対する電極部と、リードフレームにおける各リード端子との間を、細い金属線によるワイヤボンディングにて電氣的に接続したのち、これらの全体を合成樹脂製のモールド部により、前記各リード端子が当該モールド部から突出するようにパッケージするという構成にしていることは周知の通りであるが、この従来の半導体装置は、半導体チップの上面のみにしか回路素子を形成することができないので、回路素子の集積度を高めるには、前記半導体チップを大きくしなければならず、半導体装置の大型化を招来するのであった。

【0003】そこで、先行技術としての特開平3-22544号公報は、半導体チップにおける上面及び下面の両方に回路素子を形成する一方、リードフレームにおける複数本のリード端子のうち一部のリード端子の間に、プリント回路を形成した基板を、この基板における各プリント回路に一部のリード端子が電氣的に接続するように固着し、この基板の上面に、前記半導体チップを、当該半導体チップの下面における各種の回路素子に対する電極部をバンパを介して基板における各プリント回路に電氣的に接続するように搭載し、前記半導体チップの上面における各回路素子に対する電極部と、残りのリード端子との間を、細い金属線によるワイヤボンディングにて電氣的に接続したのち、これらの全体を合成樹脂製のモールド部により、前記各リード端子が当該モールド部から突出するようにパッケージするようにした半導体装

2

置を提案している。

【0004】

【発明が解決しようとする課題】この先行技術による半導体装置は、半導体チップの上面及び下面の両方に回路素子を形成するので、半導体チップにおける回路素子の集積度を、前記従来の半導体装置に比べて、当該半導体チップの大型化を招来することなく高めることができる利点を有する。

【0005】しかし、その反面、先行技術の半導体装置は、半導体チップをリードフレームに対して搭載することのために、リードフレームにおける複数本のリード端子のうち一部のリード端子の間にプリント回路を形成した基板を予め固着することによって、バイプリント集積回路に構成したものであって、プリント回路を形成した基板を必要として、部品点数が多いから、製造コストが大幅にアップするばかりか、前記基板を使用することで半導体装置の小型化及び軽量化が妨げられ、しかも、モールド部内に、半導体チップと一緒にプリント基板が埋設されているので、放熱性が低く、その上、外部へのリード端子との接続箇所が多いので、接続不良の発生率が高いと言う問題があった。

【0006】本発明は、これらの問題を解消したパッケージ型の半導体装置を提供することを技術的課題とするものである。

【0007】

【課題を解決するための手段】この技術的課題を達成するため本発明は、「上面及び下面の両方に回路素子を形成した半導体チップと、この半導体チップに向かって延びる複数本のリード端子と、前記半導体チップの全体及び前記各リード端子の一部とをパッケージする合成樹脂製のモールド部とから成る半導体装置において、前記複数本のリード端子のうち一部のリード端子における先端を、その他残りのリード端子における先端よりも更に半導体チップ側に突出して、この一部のリード端子の先端に、前記半導体チップを、当該半導体チップの下面における各種の回路素子をバンパ電極を介して電氣的に接続するように固着する一方、前記半導体チップの上面における各種の回路素子に対するパッド電極と、前記その他残りのリード端子の先端との間を細い金属線にて電氣的に接続する。」と言う構成にした。

【0008】

【作 用】このように、複数本のリード端子のうち一部のリード端子における先端を、その他残りのリード端子における先端よりも更に半導体チップ側に突出して、この一部のリード端子の先端に、前記半導体チップを、当該半導体チップの下面における各種の回路素子をバンパ電極を介して電氣的に接続するように固着することにより、各リード端子を備えたリードフレームに対して半導体チップを搭載することのために、前記先行技術のようにプリント回路を形成した基板を使用することを省略

3

でき、半導体チップを、リードフレームに対して搭載することができると共に、当該半導体チップの下面における各種の回路素子に対する各パンプ電極を一部のリード端子に対して電気的に接続した状態のもとで固着することができる。

【0009】

【発明の効果】従って、本発明によると、半導体チップにおける上下両面に回路素子を形成した場合において、この半導体チップを使用した半導体装置を、大幅に小型・軽量化できると共に、その製造コストを大幅に低減できるものであり、モールド部にてパッケージした状態において、前記先行技術のように、半導体チップの一緒にプリント基板が埋設されていないので、放熱性が良く、その上、外部へのリード端子の接続箇所も、先行技術のものよりも少ないので、接続不良が発生が低いと言う効果を有する。

【0010】

【実施例】以下、本発明の実施例を、クワッド型半導体装置に適用した場合の図面について説明する。図1～図6は、第1の実施例を示し、この図において、符号1は、四つの辺1a、1b、1c、1dを有するように矩形状に形成した半導体チップを示し、この半導体チップ1の上面には、各種の回路素子（図示せず）が形成されていると共に、この各種の回路素子に対する複数のパッド電極2が、当該上面のうち相対向する二つの辺1a、1cに沿って適宜ピッチの間隔で形成されている。更にまた、前記半導体チップ1の下面には、各種の回路素子（図示せず）が形成されていると共に、この各種の回路素子に対する複数のパンプ電極3が、当該下面のうち他の相対向する二つの辺1b、1dに沿って適宜ピッチの間隔で形成されている。

【0011】また、符号4は、薄い金属板製のリードフレームを示し、このリードフレーム4は、前記半導体チップ1における一つの辺1aに向かって延びる複数のリード端子4aと、一つの辺1bに向かって延びる複数のリード端子4bと、一つの辺1cに向かって延びる複数のリード端子4cと、一つの辺1dに向かって延びる複数のリード端子4dとを備えている。

【0012】そして、前記各リード端子4a、4b、4c、4dのうち各リード端子4b及び各リード端子4dの先端を、他の各リード端子4a及び各リード端子4cの先端よりも半導体チップ1に向かって突出して、これら各リード端子4b及び各リード端子4dの先端間に、前記半導体チップ1を、その下面における各パンプ電極3が各リード端子4b及び各リード端子4dの各々に接当するように載置したのち、各パンプ電極3を各リード端子4b及び各リード端子4dの各々に対して半田付けするか、或いは、導電性ペーストにて接着する等することにより固着する。

【0013】次いで、前記半導体チップ1の上面にお

4

る各パッド電極2と、前記各リード端子4a及び各リード端子4cの先端との間を、細い金属線5、6によるワイヤボンディングにて電気的に接続したのち、これらの全体を合成樹脂製のモールド部7により、前記各リード端子4a、4b、4c、4dが当該モールド部7における四つの側面から突出するようにパッケージする。

【0014】このように構成することにより、上面及び下面の両面に回路素子を形成した半導体チップ1を、リードフレーム4に対して、直接的に搭載することができると共に、当該半導体チップ1の下面における各種の回路素子に対するパンプ電極3を、複数本のリード端子4a、4b、4c、4dのうち一部の各リード端子4b、4dに対して電気的に接続することができる。

【0015】この場合、本実施例においては、半導体チップ1を、当該半導体チップ1における四つの辺1a、1b、1c、1dのうち相対向する二つの辺1b、1dに向かって延びる各リード端子4b及び各リード端子4dの先端間に載置するので、この状態において半導体チップ1を安定して搭載することができる。また、図7及び図8は、第2の実施例を示す。

【0016】この第2の実施例は、上面及び下面の各々に各種の回路素子を形成した半導体チップ1'において、その一つの辺1a'に対する各リード端子4a'、一つの辺1b'に対する各リード端子4b'、一つの辺1c'に対する各リード端子4c'、及び一つの辺1d'に対する各リード端子4d'のうち一部のリード端子を、他のリード端子よりも突出して、この一部のリード端子の先端間に、前記半導体チップ1'を、その下面に設けた各パンプ電極3'の各々が当該各一部のリード端子に接当するように載置したのち、各パンプ電極3'を各一部のリード端子に対して半田付けするか、或いは、導電性ペーストにて接着する等することにより固着する一方、前記半導体チップ1'の上面に設けた各パッド電極2'と、残りの各他のリード端子との間を、細い金属線5'、6'によるワイヤボンディングにて電気的に接続したのち、これらの全体を合成樹脂製のモールド部（図示せず）にてパッケージしたものである。

【0017】この場合においても、上面及び下面の両面に回路素子を形成した半導体チップ1'を、リードフレーム4に対して、当該半導体チップ1'における四つの辺1a'、1b'、1c'、1d'にて安定して搭載することができると共に、当該半導体チップ1'の下面における各種の回路素子に対するパンプ電極3'を、一部のリード端子に対して電気的に接続することができるのである。

【図面の簡単な説明】

【図1】本発明における第1の実施例による分解斜視図である。

【図2】図1のII-II視断面図である。

【図3】図3のIII-III視断面図である。

5

【図 4】 第 1 の実施例による斜視図である。

【図 5】 図 4 の V-V 視断面図である。

【図 6】 図 4 の VI-VI 視断面図である。

【図 7】 本発明における第 2 の実施例による分解斜視図である。

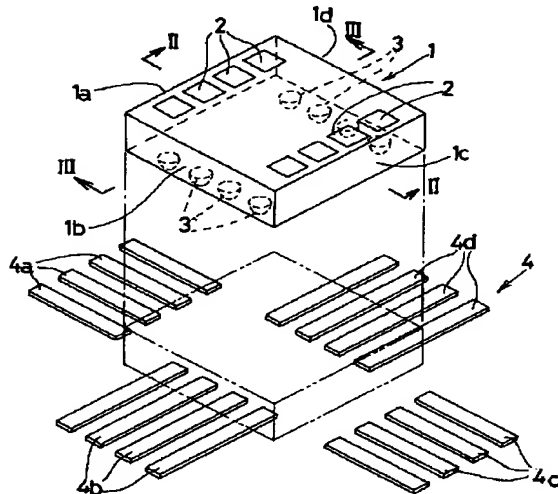
【図 8】 第 2 の実施例による斜視図である。

【符号の説明】

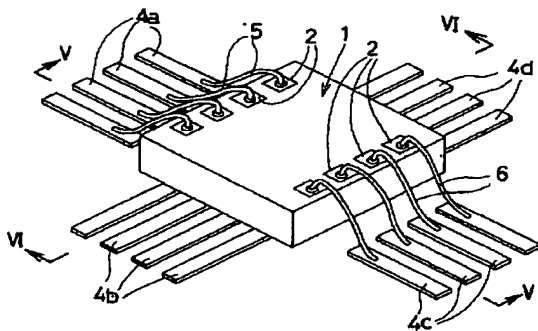
6

- | | |
|--------------------|---------|
| * 1 | 半導体チップ |
| 2 | パッド電極 |
| 3 | バンパ電極 |
| 4 | リードフレーム |
| 4 a, 4 b, 4 c, 4 d | リード端子 |
| 5, 6 | 金属線 |
| * 7 | モールド部 |

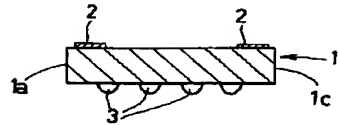
【図 1】



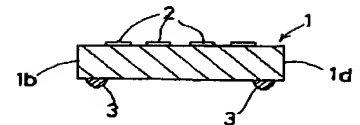
【図 4】



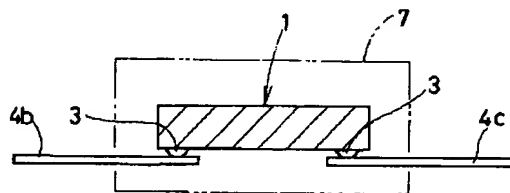
【図 2】



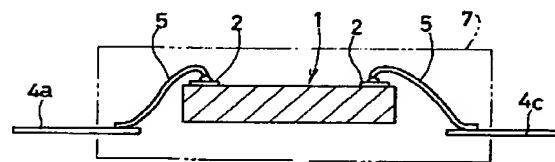
【図 3】



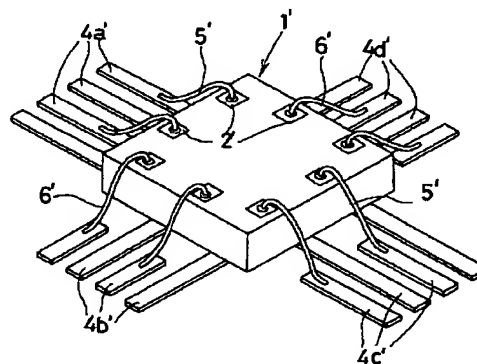
【図 6】



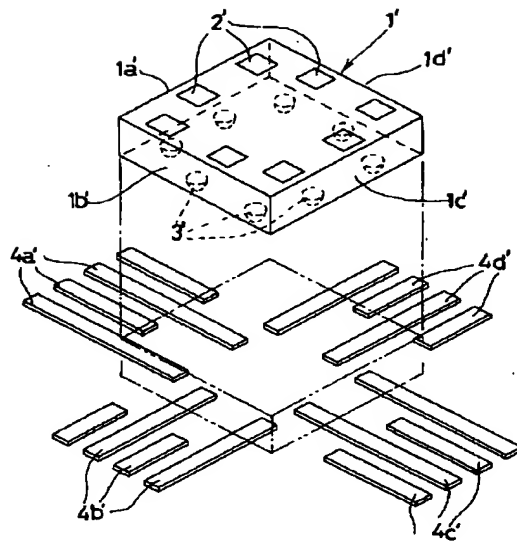
【図 5】



【図 8】



【図7】



THIS PAGE BLANK (USPTO)